

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-031969

(43)Date of publication of application : 02.02.1999

(51)Int.Cl.

H03M 1/74

H03M 1/10

(21)Application number : 09-183773

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 09.07.1997

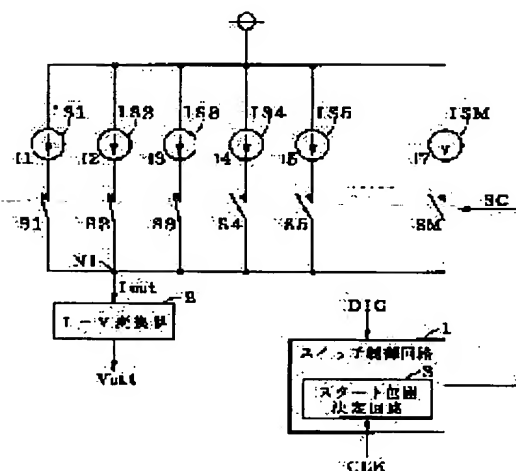
(72)Inventor : OKUDA TAKASHI  
KUMAMOTO TOSHIO  
ITO MASAO  
MIKI TAKAHIRO

(54) D/A CONVERTER AND A/D CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multi-bit D/A converter which is improved in the linearity of an analog output to a digital input.

SOLUTION: A switch control circuit 1 turns on the number of switches corresponding to a digital signal DIG among switches S1 to SM in the increasing order determined by a start position determining circuit 3, and turns off other switches. The start position determining circuit 3 determines the selected start position by changing a switch at the start position to S1, S3, S5... each time the digital signal DIG obtained in synchronism with the clock signal CLK is inputted. Consequently, characteristic differences of individual current sources become less liable to appear.



## LEGAL STATUS

[Date of request for examination]

02.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-31969

(43) 公開日 平成11年(1999) 2月2日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 3 M 1/74

H 0 3 M 1/74

1/10

1/10

B

審査請求 未請求 請求項の数11 O L (全 17 頁)

(21) 出願番号

特願平9-183773

(22) 出願日

平成9年(1997) 7月9日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 奥田 孝

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 熊本 敏夫

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 伊藤 正雄

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 代理人 弁理士 吉田 茂明 (外2名)

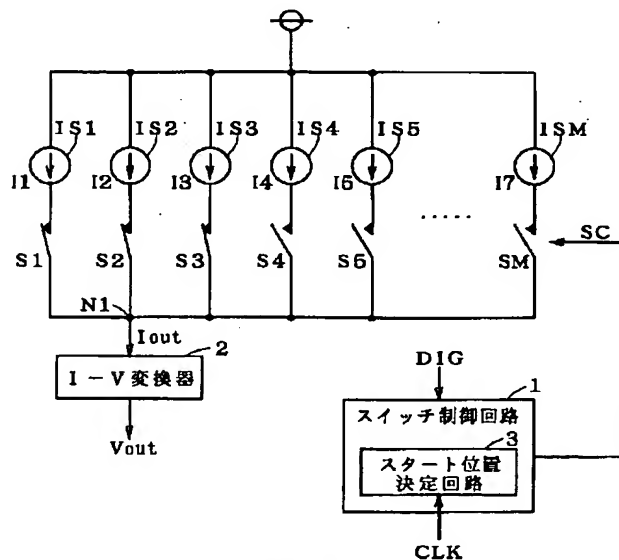
最終頁に続く

(54) 【発明の名称】 D/Aコンバータ及びA/Dコンバータ

(57) 【要約】

【課題】 デジタル入力に対するアナログ出力の直線性の改善を図った多ビットD/Aコンバータを得る。

【解決手段】 スイッチ制御回路1は、スイッチS1～SMのうちデジタル信号DIGに応じた個数のスイッチをスタート位置決定回路3で決定されるスイッチから昇順にオン状態にし、他のスイッチをオフ状態とする。スタート位置決定回路3は、クロック信号CLKに同期して得られるデジタル信号DIGの入力毎に選択スタート位置となるスイッチをS1, S3, S5…という具合に順次変更して選択スタート位置を決定する。



$I_1 \sim I_M$  : 電流源

$S_1 \sim S_M$  : スイッチ

## 【特許請求の範囲】

【請求項1】 クロック信号に同期して複数ビットのデジタル信号をアナログ信号に変換するD/Aコンバータであって、

出力部に対して所定の順序に並列に接続された複数の単位電気量生成部を備え、前記複数の単位電気量生成部のうち選択された数の単位電気量生成部に関連した電気量が前記出力部に現れ、

前記クロック信号に同期して前記複数の単位電気量生成部の選択スタート位置を順次変更して決定するスタート位置決定部と、

前記クロック信号に同期して前記デジタル信号を受け、前記複数の単位電気量生成部のうち前記デジタル信号で決定される個数の単位電気量生成部を、前記選択スタート位置から前記所定の順序にそって選択する選択部と、

前記出力部より得られる電気量に基づき前記アナログ信号を出力するアナログ信号出力部とをさらに備える、D/Aコンバータ。

【請求項2】 前記デジタル信号は $N$  ( $\geq 2$ ) ビットのデジタル信号を含み、

前記複数の単位電気量生成部は $L$  ( $\geq 3$ ) 個の単位電気量生成部を含み、

前記スタート位置決定部は、前記クロック信号に同期して前記所定の順序にそって変位個数 $A$  ( $< L$ ) 個ずつらせながら前記選択スタート位置を決定する、請求項1記載のD/Aコンバータ。

【請求項3】 前記スタート位置決定部は、前記クロック信号の1サイクル期間内の第1～第 $P$  ( $\geq 2$ ) の期間それぞれで順次変更して第1～第 $P$ の選択スタート位置を決定し、

前記選択部は、前記デジタル信号で決定される個数の単位電気量生成部を、前記第1～第 $P$ の期間それぞれにおいて前記第1～第 $P$ の選択スタート位置から前記所定の順序にそって選択し、

前記アナログ信号生成部は、前記第1～第 $P$ の期間それぞれにおいて前記出力部より得られる電気量を平均した量に基づき前記アナログ信号を出力する、請求項1記載のD/Aコンバータ。

【請求項4】 前記デジタル信号は $N$  ( $\geq 2$ ) ビットのデジタル信号を含み、

前記複数の単位電気量生成部は $L$  ( $\geq 3$ ) 個の単位電気量生成部を含み、

前記スタート位置決定部は、前記クロック信号に同期して前記所定の順序にそって変位個数 $A$  ( $< L$ ) 個ずつらせながら前記第1～第 $P$ の選択スタート位置を決定する、請求項3記載のD/Aコンバータ。

【請求項5】 前記デジタル信号のビット数 $N$ と前記単位電気量生成部の個数 $L$ とは $\{L > 2^{N-1}\}$ の関係にある、請求項2あるいは請求項4記載のD/Aコンバ

ータ。

【請求項6】 前記単位電気量生成部の個数 $L$ と前記変位個数 $A$ とは互いに素の関係にある、請求項2、請求項4あるいは請求項5記載のD/Aコンバータ。

【請求項7】 前記デジタル信号のビット数 $N$ と前記単位電気量生成部の個数 $L$ とは $\{L = 2^N\}$ の関係にある、請求項5記載のD/Aコンバータ。

【請求項8】 前記複数の単位電気量生成部は選択状態時に所定の定電流を前記出力部に供給する複数の電流源を含み、

前記アナログ信号出力部は前記出力部より得られる電流を電圧に変換する電流・電圧変換部を含み、変換された電圧が前記アナログ信号として規定される、請求項1記載のD/Aコンバータ。

【請求項9】 前記複数の単位電気量生成部は、各々が選択状態時に第1の電圧、非選択状態時に第2の電圧を一方電極に受ける複数のキャパシタを含み、前記複数のキャパシタの他方電極は共通に前記出力部に接続され、前記アナログ信号出力部は前記出力部に接続された信号線を含み、前記信号線上に前記出力部より得られる電圧が前記アナログ信号として規定される、請求項1記載のD/Aコンバータ。

【請求項10】 アナログ信号を $\Delta\Sigma$ 変調してA/D変換する $\Delta\Sigma$ 変調部を有する $\Delta\Sigma$ 変換方式のA/Dコンバータであって、

前記 $\Delta\Sigma$ 変調部は、アナログ入力信号と減算用アナログ信号との差分をとって差分アナログ信号を出力する減算器と、前記差分アナログ信号を積分処理する積分器と、前記積分器の出力を量子化して複数ビットのデジタル信号を出力する量子化器と、前記デジタル信号をD/A変換して前記減算用アナログ信号を出力する複数ビット用の内部D/Aコンバータとを備え、

前記内部D/Aコンバータを請求項1記載のD/Aコンバータで構成したことを特徴とする、A/Dコンバータ。

【請求項11】 複数ビットのデジタル信号を $\Delta\Sigma$ 変調で変換して $\Delta\Sigma$ 変調済みデジタル信号を出力する $\Delta\Sigma$ 変調部と、

$\Delta\Sigma$ 変調済みデジタル信号をD/A変換してアナログ信号を出力する複数ビット用の内部D/Aコンバータとを備え、

前記内部D/Aコンバータを請求項1記載のD/Aコンバータで構成したことを特徴とする、D/Aコンバータ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、デジタル信号に基づく複数の電流源のオン・オフの切り替えにより、デジタル信号をアナログ信号に変換するD/Aコンバータ(DAC)に関する。

## 【0002】

【従来の技術】現在、音声帯域のデータ変換方式として、オーバーサンプリング $\Delta\Sigma$ 変換方式が広く用いられている。図30はオーバーサンプリング $\Delta\Sigma$ 変換方式を用いたA/Dコンバータの構成を示すブロック図である。同図に示すように、アナログ入力信号AIをアンチエイリアシングフィルタ11に与える。アンチエイリアシングフィルタ11はアナログ入力信号AIの高周波成分を除去して $\Delta\Sigma$ モジュレータ12に与える。

【0003】 $\Delta\Sigma$ モジュレータ12はアナログ入力信号AIを標本化周波数fSより大きな周波数( $n(\geq 2) \cdot fS$ )でオーバーサンプリングしながらノイズシェーピングして得られる $\Delta\Sigma$ 変調済みデジタル信号をデシメーションフィルタ13に与える。デシメーションフィルタ13は $\Delta\Sigma$ モジュレータ12より得たデジタル信号のうちn個に1個の割合で抜き取って得られる信号をデジタル出力信号DOとして出力する。

【0004】 $\Delta\Sigma$ モジュレータ12は減算器14、積分器15、量子化器16及び内部DAC17から構成され、積分器15は減算器14の出力である差分アナログ信号を積分し、量子化器16は減算器14の出力を量子化してデジタル信号(ノイズ成分を含む)としてデシメーションフィルタ13に出力するとともに、内部DAC17に出力する。内部DAC17はデジタル信号をD/A変換して、減算器14に減算用のアナログ信号としてフィードバックする。なお、積分器15は $1/(n \cdot fS)$ 期間の積分処理を行い、1オーバーサンプリング時間の遅延処理を機能を備える。

【0005】そして、減算器14はアンチエイリアシングフィルタ11から得たアナログ入力信号AIから内部DAC17より得た減算用のアナログ信号(アナログAIの1オーバーサンプリング遅延信号に相当)を差し引いて差分アナログ信号を積分器15に出力する。その結果、減算器14、積分器15、量子化器16及び内部DAC17によって形成されるノイズシェーピンググループによってアナログ入力信号AIに生じるノイズ成分が除去されて精度の高いデジタル信号をデシメーションフィルタ13に与えることができる。

【0006】図31はオーバーサンプリング $\Delta\Sigma$ 変換方式のD/Aコンバータの構成を示すブロック図である。同図に示すように、補間フィルタ21はデジタル入力信号DIより得られる原データに基づき演算によって補間データを求め、原データに補間データを挿入することにより、周波数 $n \cdot fS$ でオーバーサンプリングしたデジタル信号を $\Delta\Sigma$ モジュレータ22に出力する。

【0007】 $\Delta\Sigma$ モジュレータ22はオーバーサンプリングしたデジタル信号をノイズシェーピングして内部DAC23に与える。内部DAC23は $\Delta\Sigma$ モジュレータ22より得た $\Delta\Sigma$ 変調済みデジタル信号をD/A変換してアナログ信号をローパスフィルタ24に出力す

る。ローパスフィルタ24は内部DAC23より得たアナログ信号の高周波成分を除去してアナログ出力信号AOを出力する。

【0008】 $\Delta\Sigma$ モジュレータ22は減算器25、積分器26及び量子化器27から構成され、積分器26減算器24の出力である差分デジタル信号を積分し、量子化器27は減算器25の出力を量子化して $\Delta\Sigma$ 変調済みデジタル信号(ノイズ成分を含む)として内部DAC23に出力するとともに、減算器24に減算用デジタル信号としてフィードバックする。なお、積分器26は $1/(n \cdot fS)$ 期間の積分処理を行い、1オーバーサンプリング時間の遅延処理を機能を備える。

【0009】そして、減算器25は、補間フィルタ21から得たデジタル信号から量子化器27より得た減算用のデジタル信号(補間フィルタ21から得たデジタル信号の1オーバーサンプリング遅延信号に相当)を差し引いて得られる差分デジタル信号を積分器26に出力することになる。その結果、減算器25、積分器26及び量子化器27によって形成されるノイズシェーピンググループによって、デジタル信号に生じるノイズ成分が除去されて精度の高いデジタル信号を内部DAC23に出力することができる。

【0010】上述したように、オーバーサンプリング $\Delta\Sigma$ 変換方式ではA/Dコンバータ及びD/Aコンバータ共に内部DACを必要とする。この内部DACは、A/Dコンバータ内ではノイズシェーピンググループのフィードバック信号処理回路として、またD/Aコンバータ内ではノイズシェーピングされたデジタル信号をアナログ信号に変換する回路として用いられている。この内部DACには、従来1ビットのDACが用いられてきた。1ビットDACを用いると、構成が簡単である上に、DACのデジタル入力に対するアナログ出力の直線性が保証されるためである。しかしその反面、量子化ノイズが大きく、系の安定性に問題があった。そこで近年、内部DACに多ビットDACが導入されてきている。しかし、多ビットDACでは、各構成要素のマッチングを取ることが困難であり、1ビットDACでは保証されていた上記直線性が得られなくなる。

【0011】図32は従来の3ビットD/Aコンバータの内部構成を示す説明図である。同図に示すように、一端が電源Vccに接続された単位電流源IS1~IS7のそれぞれの他端がスイッチS1~S7の一端に接続される。そして、スイッチS1~S7の他端が共通に出力部であるノードN1に接続される。図32に示すように、3ビットD/Aコンバータには、 $(2^3-1)$ の電流源が必要となる。なお、各電流源IS1~IS7が供給する電流I1~I7の電流量は同一のIEになるように設定される。

【0012】スイッチ制御回路10は、デジタル信号DIGに基づき制御信号SCをスイッチS1~S7に出

かし、スイッチS1～S7のうちデジタル信号DIGに応じた個数のスイッチをスイッチS1から昇順にオン状態にし、他のスイッチをオフ状態とする。

【0013】例えば、デジタル信号DIGが“011”（3）の場合、図33に示すように、スイッチ制御回路10はスイッチS1～S3をオン状態、スイッチS4～S7をオフ状態とする制御信号SCを出力する。例えば、デジタル信号DIGが“010”（2）の場合、図34に示すように、スイッチ制御回路10はスイッチS1、S2をオン状態、スイッチS3～S7をオフ状態とする制御信号SCを出力する。

【0014】そして、ノードN1より得られる電流が出力電流I<sub>out</sub>としてI-V変換器2に与えられ、I-V変換器2が出力電流I<sub>out</sub>を電流/電圧変換してアナログ信号である出力電圧V<sub>out</sub>を出力する。したがって、図33の例では出力電流I<sub>out</sub>=3・I<sub>E</sub>となり、図34の例では出力電流I<sub>out</sub>=2・I<sub>E</sub>となる。

【0015】このように、電流源を用いた多ビットD/Aコンバータは、入力デジタルデータ（DIG）に応じて所定数の電流源を有効にすることにより、デジタルデータDIGをアナログ信号（出力電圧V<sub>out</sub>）に変換することができる。

【0016】また、特開平4-152715号公報に入力コードに応じた個数の容量をランダムに選択してD/A変換を行うD/Aコンバータが開示されている。

【0017】

【発明が解決しようとする課題】しかしながら、各単位電流源IS1～IS7の特性（電流I1～I7それぞれの電流量）を完全に一致させることは、プロセスのばらつきやレイアウト時の周辺の回路素子等の影響により困難である。

【0018】従来の3ビットD/Aコンバータでは、デジタル入力信号（DIG）に対して、常に同じ電流源から有効にしている（例えば、デジタル信号DIGが“000”以外の場合は常にスイッチS1をオンして電流源IS1を有効にしている）。

【0019】このため、特定の電流源（図32の例では電流源IS1）が有効とされる回数が多く、D/Aコンバータの出力に個々の電流源の特性差が顕著にあらわれ、直線性の劣化の原因となっていた。

【0020】従来の多ビットD/Aコンバータは以上のように構成されており、デジタル入力に対するアナログ出力の直線性が悪いという問題点があった。

【0021】この発明は上記問題点を解決するためになされたもので、デジタル入力に対するアナログ出力の直線性の改善を図った多ビットD/Aコンバータを得ることを目的とする。

【0022】

【課題を解決するための手段】この発明に係る請求項1記載のD/Aコンバータは、クロック信号に同期して複

数ビットのデジタル信号をアナログ信号に変換し、出力部に対して所定の順序に並列に接続された複数の単位電流量生成部を備え、前記複数の単位電流量生成部のうち選択された数の単位電流量生成部に関連した電流量が前記出力部に現れ、前記クロック信号に同期して前記複数の単位電流量生成部の選択スタート位置を順次変更して決定するスタート位置決定部と、前記クロック信号に同期して前記デジタル信号を受け、前記複数の単位電流量生成部のうち前記デジタル信号で決定される個数の単位電流量生成部を、前記選択スタート位置から前記所定の順序にそって選択する選択部と、前記出力部より得られる電流量に基づき前記アナログ信号を出力するアナログ信号出力部とをさらに備えて構成される。

【0023】また、請求項2記載のD/Aコンバータにおいて、前記デジタル信号はN（ $\geq 2$ ）ビットのデジタル信号を含み、前記複数の単位電流量生成部はL

（ $\geq 3$ ）個の単位電流量生成部を含み、前記スタート位置決定部は、前記クロック信号に同期して前記所定の順序にそって変位個数A（ $< L$ ）個ずつずらせながら前記選択スタート位置を決定する。

【0024】また、請求項3記載のD/Aコンバータにおいて、前記スタート位置決定部は、前記クロック信号の1サイクル期間内の第1～第P（ $\geq 2$ ）の期間それぞれで順次変更して第1～第Pの選択スタート位置を決定し、前記選択部は、前記デジタル信号で決定される個数の単位電流量生成部を、前記第1～第Pの期間それぞれにおいて前記第1～第Pの選択スタート位置から前記所定の順序にそって選択し、前記アナログ信号生成部は、前記第1～第Pの期間それぞれにおいて前記出力部より得られる電流量を平均した量に基づき前記アナログ信号を出力している。

【0025】さらに、請求項4記載のD/Aコンバータにおいて、前記デジタル信号はN（ $\geq 2$ ）ビットのデジタル信号を含み、前記複数の単位電流量生成部はL（ $\geq 3$ ）個の単位電流量生成部を含み、前記スタート位置決定部は、前記クロック信号に同期して前記所定の順序にそって変位個数A（ $< L$ ）個ずつずらせながら前記第1～第Pの選択スタート位置を決定する。

【0026】また、請求項5記載のD/Aコンバータにおいて、前記デジタル信号のビット数Nと前記単位電流量生成部の個数Lとは $\{L > 2^{N-1}\}$ の関係にある。

【0027】また、請求項6記載のD/Aコンバータにおいて、前記単位電流量生成部の個数Lと前記変位個数Aとは互いに素の関係にある。

【0028】また、請求項7記載のD/Aコンバータにおいて、前記デジタル信号のビット数Nと前記単位電流量生成部の個数Lとは $\{L = 2^N\}$ の関係にある。

【0029】請求項8記載のD/Aコンバータにおいて、前記複数の単位電流量生成部は選択状態時に所定の

定電流を前記出力部に供給する複数の電流源を含み、前記アナログ信号出力部は前記出力部より得られる電流を電圧に変換する電流・電圧変換部を含み、変換された電圧が前記アナログ信号として規定される。

【0030】請求項9のD/Aコンバータにおいて、前記複数の単位電流量生成部は、各々が選択状態時に第1の電圧、非選択状態時に第2の電圧を一方電極に受ける複数のキャパシタを含み、前記複数のキャパシタの他方電極は共通に前記出力部に接続され、前記アナログ信号出力部は前記出力部に接続された信号線を含み、前記信号線上に前記出力部より得られる電圧が前記アナログ信号として規定される。

【0031】この発明に係る請求項10記載のA/Dコンバータは、アナログ信号を $\Delta\Sigma$ 変調してA/D変換する $\Delta\Sigma$ 変調部を有する $\Delta\Sigma$ 変換方式であり、前記 $\Delta\Sigma$ 変調部は、アナログ入力信号と減算用アナログ信号との差分をとって差分アナログ信号を出力する減算器と、前記差分アナログ信号を積分処理する積分器と、前記積分器の出力を量子化して複数ビットのデジタル信号を出力する量子化器と、前記デジタル信号をD/A変換して前記減算用アナログ信号を出力する複数ビット用の内部D/Aコンバータとを備え、前記内部D/Aコンバータを請求項1記載のD/Aコンバータで構成している。

【0032】この発明に係る請求項11記載のD/Aコンバータは、複数ビットのデジタル信号を $\Delta\Sigma$ 変調で変換して $\Delta\Sigma$ 変調済みデジタル信号を出力する $\Delta\Sigma$ 変調部と、 $\Delta\Sigma$ 変調済みデジタル信号をD/A変換してアナログ信号を出力する複数ビット用の内部D/Aコンバータとを備え、前記内部D/Aコンバータを請求項1記載のD/Aコンバータで構成している。

【0033】

【発明の実施の形態】

＜実施の形態1＞図1はこの発明の実施の形態1であるN( $N \geq 2$ )ビットD/Aコンバータの構成を示す説明図である。同図に示すように、一端が電源Vccに接続された単位電流源IS1～ISMのそれぞれの他端がスイッチS1～SMの一端に接続される。なお、Mは必要電流源数であり、 $M = 2^N - 1$ となる。

【0034】そして、スイッチS1～SMの他端が共通にノードN1に接続される。なお、NビットD/Aコンバータには、また、各電流源IS1～ISMが供給する電流I1～IMの電流量はほぼ同一のIEになるように設定される。

【0035】スイッチ制御回路1は、デジタル信号DIGに基づき制御信号SCをスイッチS1～SMに出力し、スイッチS1～SMのうちデジタル信号DIGに応じた個数のスイッチをスタート位置決定回路3で決定されるスイッチから昇順(“1”からMにかけて、Mの次は“1”)にオン状態にし、他のスイッチをオフ状態とする。

【0036】スタート位置決定回路3は、デジタル信号DIGの入カタイミングを指示するクロック信号CLKに基づき、クロック信号CLKの1サイクル中に取り込まれるデジタル信号DIGの入力毎に選択スタート位置となるスイッチをS1, S3, S5…という具合に順次変更して選択スタート位置を決定する。

【0037】例えば、 $N=3$ ( $M=7$ )でデジタル信号DIGを“011”(3)、“010”(2)の順で与え、スタート位置決定回路3がS1, S3の順にスタート位置を決定した場合、まず、図4に示すように、スイッチ制御回路1はスイッチS1～S3をオン状態、スイッチS4～S7をオフ状態とする制御信号SCを出力し、次に、図5に示すように、スイッチS3, S4をオン状態、スイッチS1, S2, S5～S7をオフ状態とする制御信号SCを出力する。

【0038】図2はスタート位置決定回路3の内部構成を示すブロック図である。同図に示すように、スタート位置決定回路3は第1加算部6、第2加算部7及びラッチ部8から構成される。

【0039】第1加算部6は変位データID( $J \leq N$ )ビット)とラッチ部8でラッチされた前回のスタート位置を示すNビットのラッチデータLDのうち下位Jビットからなる部分ラッチデータLD1との加算処理を行い、そのJビット加算結果OUT1とキャリー出力COUTを出力する。

【0040】第2加算部7は第1加算部6からのキャリー出力COUTとラッチデータLDのうち上位( $N-J$ )ビットの部分ラッチデータとの加算処理を行い、( $N-J$ )ビットの加算結果OUT2を出力する。

【0041】ゼロ調整回路18は加算結果OUT2を上位、加算結果OUT1を下位として加算結果{OUT1+OUT2}がオールゼロ以外のときは、そのまま加算出力OUT18として出力し、オールゼロのときは下位Jビットを変位データID、上位ビットを“0”とした値を加算出力OUT18して出力する。

【0042】ラッチ部8は、フリップフロップ等から構成され、クロック信号CLKによるタイミング制御で、ゼロ調整回路18の加算結果OUT18を新たなNビットのラッチデータLDとして格納する。また、ラッチ部8はリセット時に初期値として“1”が設定される。したがって、ラッチデータLDはオールゼロを除くM種類存在することになり、M種類のラッチデータLDとM個の電流源ISとを1対1に対応させることにより、電流源ISの選択スタート位置をラッチデータLDによって規定することができる。

【0043】図3は、 $N=3$ 、 $J=2$ である場合の図2における第1加算部6及び第2加算部7の具体的構成を示す回路図である。同図に示すように、第1加算部6は半加算器31と全加算器32とから構成され、半加算器31はA入力に最下位ビットの変位データID(B0)

を受け、B入力に最下位ビットの部分ラッチデータLD1(B0)を受け、加算出力Sより最下位ビットの加算結果OUT1(B0)を出力し、キャリー出力を全加算器32のキャリー入力CIに与える。

【0044】全加算器32はA入力に第1ビットの変位データID(B1)を受け、B入力に第1ビットの部分ラッチデータLD1(B1)を受け、加算出力Sより第1ビットの加算結果OUT1(B1)を出力し、キャリー出力COUTを第2加算部7に出力する。

【0045】第2加算部7は半加算器33によって構成され、半加算器33はA入力に全加算器32のキャリー出力COUTを受け、B入力に最上位ビットの部分ラッチデータLD2(B2)を受け、加算出力Sより最上位ビットの加算結果OUT2(B2)を出力する。

【0046】上記した構成の図2及び図3で示す構成のスタート位置決定回路3において、3ビットのラッチデータLDの“001”～“111”それぞれに電流源IS1～IS7を対応させることにより、1回目の選択スタート位置は電流源IS1(スイッチS1をオンさせる)で、2回目のスタート位置が電流源IS4となり、以降、IS7, IS2, IS5, IS3, IS6, IS1…の順に電流源ISの選択スタート位置を決定することができる。

【0047】なお、第1加算部6は初段を除き全加算器で構成する必要があるが、第2加算部7は変位データIDを入力することなく前段のキャリー出力を次段の加算入力に接続することにより半加算器のみで構成することができ、第1加算部6に比べて簡単な回路構成で実現できる。

【0048】このように、スタート位置決定回路3は、基本的に変位データIDを加算しながらM通りの出力値を採るように構成するように、Nビット用の加算器とラッチ部と簡単な論理回路(ゼロ調整回路18)とからなる比較的簡単な回路構成で実現することができる。

【0049】図1に戻って、ノードN1より得られる電流が出力電流IoutとしてI-V変換器2に与えられる。このとき、図4の例では出力電流Iout=3・IEとなり、図5の例では出力電流Iout=2・IEとなる。そして、I-V変換器2は出力電流Ioutを電流/電圧変換してアナログ信号である出力電圧Voutを出力する。

【0050】このように、実施の形態1のNビットD/Aコンバータは、入力デジタルデータ(DIG)に応じて、デジタル信号DIGのサンプリング毎にスタート位置決定回路3で決定される選択スタート位置の電流源からデジタル信号DIGによって決定される個数数の電流源を選択することにより、デジタルデータDIGをアナログ信号(出力電圧Vout)に変換している。

【0051】したがって、デジタル信号DIGの値が同一の場合でも選択される電流源の組合せが増え、デ

ジタル信号DIGの値に関係なく電流源IS1～ISMを片寄りなく選択することができ、D/Aコンバータのアナログ出力に電流源個々の特性差があらわれにくくなり、デジタル入力に対するアナログ出力の直線性の劣化を有効に抑えることができる。

【0052】＜実施の形態2＞実施の形態1ではスタート位置決定回路3により決定される選択スタート位置はサンプリング毎に変更されることのみ示したが、電流源IS1～IS7をできるだけ片寄りなく選択するようにスタート位置を変更するようにしたのが実施の形態2である。したがって、実施の形態2のD/Aコンバータは、スタート位置決定回路3による選択スタート位置の決定方法を下記に行う以外は図1で示した実施の形態1と同様の全体構成を採る。

【0053】スタート位置決定回路3は、NビットのD/Aコンバータにおいて電流源の個数M( $=2^N - 1$ )とAとが互いに素で、かつ $M > A$ なる正数Aを見だし、変位個数Aずつ選択スタート位置をずらせて決定する。

【0054】例えば、 $N=3$ 、すなわち $M=7$ のとき、 $A=5$ (7と5とは互いに素)を選択すると、1回目のスタート位置は電流源IS1(スイッチS1をオンにする)で、2回目のスタート位置が電流源IS6となり、以降、IS4, IS2, IS7, IS5, IS3, IS1, IS6, …と比較的大きくずらせながら片寄りが全くないように全ての電流源ISを選択スタート位置として選択することができる。

【0055】このとき、1回目のサンプリングでデジタル信号DIG“011”(3)を取り込むと、図6に示すように、電流源IS1～IS3が選択され、2回目のサンプリングでデジタル信号DIG“010”

(2)を取り込むと、図7に示すように、電流源IS6, IS7が選択される。

【0056】このように、実施の形態2のD/Aコンバータにおけるスタート位置決定回路3は、電流源の個数と素の関係にある変位個数ずつずらして選択スタート位置を決定することにより、M個のスタート位置の自由度ができ、デジタル信号DIGの値に対応して選択される電流源の組合せを最大限に増加させることができ、その結果、D/Aコンバータのアナログ出力に個々の電流源の特性差がより一層あらわれにくくなり、デジタル入力に対するアナログ出力の直線性を向上させることができる。

【0057】＜実施の形態3＞図8はこの発明の実施の形態3であるN( $N \geq 2$ )ビットD/Aコンバータの構成を示す説明図である。同図に示すように、一端が電源Vccに接続された単位電流源IS1～IS(M+K)のそれぞれの他端がスイッチS1～S(M+K)の一端に接続される。なお、Mは必要電流源数であり、 $M=2^N - 1$ となり、Kは余剰電流源数である。



【0058】そして、スイッチ $S_1 \sim S_{(M+K)}$ の他端が共通にノード $N_1$ に接続される。なお、 $N$ ビット $D/A$ コンバータには、また、各電流源 $I_{S1} \sim I_{S(M+K)}$ が供給する電流 $I_1 \sim I_M$ の電流量はほぼ同一の $I_E$ になるように設定される。

【0059】スイッチ制御回路1Aは、デジタル信号 $DIG$ に基づき制御信号 $SC$ をスイッチ $S_1 \sim S_{(M+K)}$ に出力し、スイッチ $S_1 \sim S_{(M+K)}$ のうちデジタル信号 $DIG$ に応じた個数のスイッチをスタート位置決定回路3Aで決定されるスイッチから昇順にオン状態にし、他のスイッチをオフ状態とする。

【0060】スタート位置決定回路3Aは、デジタル信号 $DIG$ の入カタイミングを指示するクロック信号 $CLK$ に基づき、デジタル信号 $DIG$ の入力毎にスタートスイッチを $S_1, S_3, S_5 \dots$ という具合に順次変更して選択スタート位置を決定する。

【0061】例えば、デジタル信号 $DIG$ を“011” (3)、“010” (2)の順で与え、スタート位置決定回路3Aが $S_1, S_{(M+1)}$ の順に選択スタート位置を決定した場合、まず、図9に示すように、スイッチ制御回路1Aはスイッチ $S_1 \sim S_3$ をオン状態、スイッチ $S_4 \sim S_{(M+K)}$ をオフ状態とする制御信号 $SC$ を出力し、次に、図10に示すように、スイッチ $S_{(M+1)}, S_{(M+2)}$ をオン状態、スイッチ $S_1 \sim S_M, S_{(M+3)} \sim S_{(M+K)}$ をオフ状態とする制御信号 $SC$ を出力する。

【0062】ノード $N_1$ より得られる電流が出力電流 $I_{out}$ として $I-V$ 変換器2に与えられる。このとき、図9の例では出力電流 $I_{out} = 3 \cdot I_E$ となり、図10の例では出力電流 $I_{out} = 2 \cdot I_E$ となる。そして、 $I-V$ 変換器2が出力電流 $I_{out}$ を電流/電圧変換してアナログ信号である出力電圧 $V_{out}$ を出力する。

【0063】このように、実施の形態3の $N$ ビット $D/A$ コンバータは、入力デジタルデータ ( $DIG$ ) に応じて、デジタル信号 $DIG$ のサンプリング毎にスタート位置決定回路3Aで決定される選択スタート位置の電流源から、デジタル信号 $DIG$ で決定される個数の電流源を有効にすることにより、デジタルデータ $DIG$ をアナログ信号 (出力電圧 $V_{out}$ ) に変換している。

【0064】したがって、デジタル信号 $DIG$ の値が同一の場合でも選択される電流源の組合せがより一層増え、デジタル信号 $DIG$ の値に関係なく電流源 $I_{S1} \sim I_{S(M+K)}$ を片寄りになく選択することができ、 $D/A$ コンバータのアナログ出力に電流源個々の特性差があらわれにくくなり、デジタル入力に対するアナログ出力の直線性の劣化を有効に抑えることができる。

【0065】さらに、実施の形態3の $D/A$ コンバータは、 $K$ 個の余剰電流源を用意し、実施の形態1に比べ選択スタート位置の自由度を増やすことにより、 $D/A$ コンバータのアナログ出力に電流源個々の特性差がより一

層あらわれにくくなり、実施の形態1以上に直線性の劣化を効果的に改善することができる。

【0066】＜実施の形態4＞実施の形態3ではスタート位置決定回路3Aにより決定される選択スタート位置はサンプリング毎に変更されることのみ示したが、電流源 $I_{S1} \sim I_{S(M+K)}$ をできるだけ片寄りになく選択するように選択スタート位置を変更するようにしたのが実施の形態4である。したがって、実施の形態4の $D/A$ コンバータは、スタート位置決定回路3Aによるスタート位置の決定方法を下記のように行う以外は図8で示した実施の形態3と同様の全体構成を採る。

【0067】スタート位置決定回路3Aは、 $N$ ビットの $D/A$ コンバータにおいて電流源の個数 ( $M+K$ ) と $A$ とが互いに素で、かつ $M > A$ なる正数 $A$ を見だし、変位個数 $A$ ずつずらせて選択スタート位置を決定する。

【0068】例えば、 $N=3$  (すなわち $M=7$ ) で $K=6$ のとき、 $A=8$  ( $13 (M+K)$ ) と8とは互いに素) を選択すると、1回目のスタート位置は電流源 $I_{S1}$  (スイッチ $S_1$ をオン) で、2回目のスタート位置が電流源 $I_{S9}$ となり、以降、 $I_{S4}, I_{S12}, I_{S7}, I_{S2}, I_{S10}, I_{S5}, I_{S13}, I_{S8}, I_{S3}, I_{S11}, I_{S6} \dots$ と比較的大きくずらせながら片寄りが全くないように全ての電流源 $I_S$ を選択することができる。

【0069】このとき、1回目のサンプリングでデジタル信号 $DIG$  “011” (3) を取り込むと、図11に示すように、電流源 $I_{S1} \sim I_{S3}$ が選択され、2回目のサンプリングでデジタル信号 $DIG$  “010”

(2) を取り込むと、図12に示すように、電流源 $I_{S9}, I_{S10}$ が選択される。

【0070】このように、実施の形態4の $D/A$ コンバータにおけるスタート位置決定回路3Aは、電流源の個数 ( $M+K$ ) と素の関係にある変位個数ずつずらせて選択スタート位置を決定することにより、余剰電流源の個数を加味した ( $M+K$ ) 個のスタート位置の自由度ができ、デジタル信号 $DIG$ の値に対応して選択される電流源の組合せを最大限に増加させることができ、その結果、 $D/A$ コンバータの出力に個々の電流源の特性差がより一層あらわれにくくなり、デジタル入力に対するアナログ出力の直線性を向上させることができる。

【0071】＜実施の形態5＞図13はこの発明の実施の形態5である $N$  ( $N \geq 2$ ) ビット $D/A$ コンバータの構成を示す説明図である。同図に示すように、一端が電源 $V_{cc}$ に接続された単位電流源 $I_{S1} \sim I_{SM}$ のそれぞれの他端がスイッチ $S_1 \sim S_M$ の一端に接続される。なお、 $M$ は必要電流源数である。

【0072】そして、スイッチ $S_1 \sim S_M$ の他端が共通にノード $N_1$ に接続される。なお、 $N$ ビット $D/A$ コンバータには、また、各電流源 $I_{S1} \sim I_{SM}$ が供給する電流 $I_1 \sim I_M$ の電流量はほぼ同一の $I_E$ になるように



設定される。

【0073】スイッチ制御回路4は、デジタル信号DIGに基づき制御信号SCをスイッチS1～SMに出力し、スイッチS1～SMのうちデジタル信号DIGに応じた個数のスイッチをスタート位置決定回路3Bで決定されるスイッチから昇順にオン状態にし、他のスイッチをオフ状態とする。

【0074】スタート位置決定回路3Bは、内部クロック発生回路9の内部クロック信号ICLKの立ち上がりエッジをトリガとしてS1, S3, S5…という具合に順次変更して選択スタート位置を決定する。内部クロック発生回路9はデジタル信号DIGの入力タイミングを指示するクロック信号CLKの立ち上がりエッジに同期して、図14に示すように、3倍速の内部クロック信号ICLKを発生する。したがって、クロック信号CLKの1サイクルの周期が内部クロック信号ICLKの3サイクルの周期T1～T3に分割される。

【0075】例えば、 $N=3$  ( $M=7$ ) でデジタル信号DIGを“011” (3) で与え、内部クロック信号ICLKに基づきスタート位置決定回路3BがS1, S5, S3の順にスタート位置を決定した場合、まず、図15～図17に示すように、期間T1 (図15) においてスイッチ制御回路4はスイッチS1～S3のみをオン状態とし、期間T2 (図16) においてスイッチS5～S7のみをオン状態とし、期間T3 (図17) においてスイッチS3～S5をオン状態とする制御信号SCを出力する。

【0076】そして、期間T1～T3それぞれでノードN1より得られる電流が出力電流Iout (Iout1～Iout3) としてI-V変換器2に与えられ、I-V変換器2が出力電流Ioutを電流/電圧変換して出力電圧Vout (Vout1～Vout3) を出力する。

【0077】電圧平均化回路5は期間T1～T3それぞれで得られた出力電圧Vout1～Vout3の平均を求めてアナログ信号である平均出力電圧MVoutを出力する。

【0078】このように、実施の形態5のNビットD/Aコンバータは、入力デジタルデータ(DIG)に応じて、デジタル信号DIGのサンプリング毎にスタート位置決定回路3Bで決定される選択スタート位置の電流源から、デジタル信号DIGに応じた数の電流源を、1サンプリング期間中に複数種類の組合せで有効にすることにより、デジタルデータDIGをアナログ信号(平均出力電圧MVout)に変換している。

【0079】これによって、デジタル信号DIGの値に対応して選択される電流源の組合せが大幅に増え、電流源IS1～ISMが片寄りなく選択されることになり、D/Aコンバータの出力に個々の電流源の特性差があらわれにくくなり、デジタル入力に対するアナログ出力の直線性の劣化を有効に抑えることができる。

【0080】さらに、実施の形態5のD/Aコンバータ

は、1回のデジタル信号DIGのサンプリング期間中にデジタル信号DIGに応じた数の電流源を複数種類の組み合わせで有効にするため、1つのデジタル信号DIGに対するD/A変換においても電流源を均等に有効して電流源の特性差をあらわれにくくすることにより正確なアナログ信号を出力することができる。

【0081】＜実施の形態6＞実施の形態5ではスタート位置決定回路3Bにより決定されるスタート位置はサンプリング毎に変更されることのみ示したが、電流源IS1～IS7をできるだけ片寄りなく選択するようにスタート位置を変更するようにしたのが実施の形態6である。したがって、実施の形態6のD/Aコンバータは、スタート位置決定回路3Bによる選択スタート位置の決定方法を下記のように行う以外は図13で示した実施の形態5と同様の全体構成を採る。

【0082】スタート位置決定回路3Bは、NビットのD/Aコンバータにおいて電流源の個数 $M (=2^N - 1)$ とAとが互いに素で、かつ $M > A$ なる正数Aを見だし、変位個数Aずつずらせて選択スタート位置を決定する。

【0083】例えば、 $N=3$ 、すなわち $M=7$ のとき、 $A=5$  (7と5とは互いに素) を選択すると、1回目のスタート位置は電流源IS1 (スイッチS1をオン) で、2回目のスタート位置が電流源IS6となり、以降、IS4, IS2, IS7, IS5, IS3, IS1, IS6, …と比較的大きくずらせながら片寄りが全くないように選択スタート位置の電流源ISを選択することができる。

【0084】このとき、1回目のサンプリングでデジタル信号DIG“011” (3) を取り込むと、図18～図20に示すように、期間T1 (図18) で電流源IS1～IS3が選択され、期間T2 (図19) で電流源IS1, IS6, IS7が選択され、期間T3 (図20) で電流源IS4～IS6が選択される。

【0085】このように、実施の形態6のD/Aコンバータにおけるスタート位置決定回路3Bは、電流源の個数と素の関係にある個数ずつ選択スタート位置をずらすことにより、M個のスタート位置の自由度ができ、デジタル信号DIGの値に対応して選択される電流源の組合せを最大限に増加させることができ、その結果、D/Aコンバータの出力に個々の電流源の特性差がより一層あらわれにくくなり、デジタル入力に対するアナログ出力の直線性の劣化を最低限に抑えることができる。

【0086】＜実施の形態7＞図21はこの発明の実施の形態7であるN ( $N \geq 2$ ) ビットD/Aコンバータの構成を示す説明図である。同図に示すように、一端が電源Vccに接続された単位電流源IS1～IS ( $M+K$ ) のそれぞれの他端がスイッチS1～S ( $M+K$ ) の一端に接続される。なお、Mは必要電流源数であり、Kは余剰電流源数である。

【0087】そして、スイッチ $S_1 \sim S_{(M+K)}$ の他端が共通にノード $N_1$ に接続される。なお、 $N$ ビット $D/A$ コンバータには、また、各電流源 $IS_1 \sim IS_{(M+K)}$ が供給する電流 $I_1 \sim I_M$ の電流量はほぼ同一の $I_E$ になるように設定される。

【0088】スイッチ制御回路4Aは、デジタル信号 $DIG$ に基づき制御信号 $SC$ をスイッチ $S_1 \sim S_M$ に出力し、スイッチ $S_1 \sim S_{(M+K)}$ のうちデジタル信号 $DIG$ に応じた個数のスイッチをスタート位置決定回路3Bで決定されるスイッチから昇順にオン状態にし、他のスイッチをオフ状態とする。

【0089】スタート位置決定回路3Bは、内部クロック発生回路9の内部クロック信号 $ICLK$ の立ち上がりエッジをトリガとして $S_1, S_3, S_5 \dots$ という具合に順次変更して選択スタート位置を決定する。内部クロック発生回路9はデジタル信号 $DIG$ の入力タイミングを指示するクロック信号 $CLK$ の立ち上がりエッジに同期して、図14に示すように、3倍速の内部クロック信号 $ICLK$ を発生する。したがって、クロック信号 $CLK$ の周期が内部クロック信号 $ICLK$ の周期 $T_1 \sim T_3$ に分割される。

【0090】例えば、 $N=3$ でデジタル信号 $DIG$ を“011”(3)で与え、内部クロック信号 $ICLK$ に基づきスタート位置決定回路3Bが $S_1, S_{(M+K-1)}, S_4$ の順にスタート位置を決定した場合、まず、図22～図24に示すように、期間 $T_1$ (図22)においてスイッチ制御回路4Aはスイッチ $S_1 \sim S_3$ のみをオン状態とし、期間 $T_2$ (図23)においてスイッチ $S_1, S_{(M+K-1)}, S_{(M+K)}$ のみをオン状態とし、期間 $T_3$ (図24)においてスイッチ $S_4 \sim S_6$ をオン状態とする制御信号 $SC$ を出力する。

【0091】そして、期間 $T_1 \sim T_3$ それぞれでノード $N_1$ より得られる電流が出力電流 $I_{out}$ ( $I_{out1} \sim I_{out3}$ )として $I-V$ 変換器2に与えられ、 $I-V$ 変換器2が出力電流 $I_{out}$ を電流/電圧変換して出力電圧 $V_{out}$ ( $V_{out1} \sim V_{out3}$ )を出力する。

【0092】電圧平均化回路5は期間 $T_1 \sim T_3$ それぞれで得られた出力電圧 $V_{out1} \sim V_{out3}$ の平均を求めてアナログ信号である平均出力電圧 $MV_{out}$ を出力する。

【0093】このように、実施の形態5の $N$ ビット $D/A$ コンバータは、入力デジタルデータ( $DIG$ )に応じて、デジタル信号 $DIG$ のサンプリング毎にスタート位置決定回路3Bで決定される選択スタート位置の電流源から、デジタル信号 $DIG$ に応じた個数の電流源を複数種類の組合せで有効にすることにより、デジタルデータ $DIG$ をアナログ信号(平均出力電圧 $MV_{out}$ )に変換している。

【0094】これによって、デジタル信号 $DIG$ の値に対応して選択される電流源の組合せが大幅に増え、電流源 $IS_1 \sim IS_M$ が片寄りなく選択されることにな

り、 $D/A$ コンバータの出力に個々の電流源の特性差があらわれにくくなり、直線性の劣化を有効に抑えることができる。

【0095】さらに、実施の形態7の $D/A$ コンバータは、1回のデジタル信号 $DIG$ のサンプリング期間中に複数種類の組み合わせで電流源を有効にするため、1つのデジタル信号 $DIG$ に対する $D/A$ 変換においても電流源を均等に有効して電流源の特性差があらわれにくくすることにより正確なアナログ信号を出力することができる。

【0096】加えて、実施の形態7の $D/A$ コンバータは、 $K$ 個の余剰電流源を用意し、実施の形態5に比べ選択スタート位置の自由度を増やすことにより、実施の形態5以上にデジタル入力に対するアナログ出力の直線性の劣化を効果的に改善することができる。

【0097】＜実施の形態8＞実施の形態7ではスタート位置決定回路3Bにより決定されるスタート位置は1サンプリング期間中に複数の組合せに変更されることのみ示したが、電流源 $IS_1 \sim IS_{(M+K)}$ をできるだけ片寄りなく選択するようにスタート位置を変更するようにしたのが実施の形態8である。したがって、実施の形態8の $D/A$ コンバータは、スタート位置決定回路3Bによる選択スタート位置の決定方法を下記のように行う以外は図21で示した実施の形態7と同様の全体構成を採る。

【0098】スタート位置決定回路3Bは、 $N$ ビットの $D/A$ コンバータにおいて電流源の個数( $M+K$ )と $A$ とが互いに素で、かつ $M > A$ なる正数 $A$ を見だし、変位個数 $A$ ずつスタート位置をずらせて決定する。

【0099】例えば、 $N=3$ (すなわち $M=7$ )で $K=6$ のとき、 $A=8(13(M+K))$ と8とは互いに素)を選択すると、1回目のスタート位置は電流源 $IS_1$ (スイッチ $S_1$ がオン)で、2回目のスタート位置が電流源 $IS_9$ となり、以降、 $IS_4, IS_{12}, IS_7, IS_2, IS_{10}, IS_5, IS_{13}, IS_8, IS_3, IS_{11}, IS_6 \dots$ と比較的大きくずらせながら片寄りが全くないように全ての電流源 $IS$ を選択することができる。

【0100】このとき、1回目のサンプリングでデジタル信号 $DIG$ “011”(3)を取り込むと、図25～図27に示すように、期間 $T_1$ (図25)で電流源 $IS_1 \sim IS_3$ が選択され、期間 $T_2$ (図26)で電流源 $IS_9 \sim IS_{11}$ が選択され、期間 $T_3$ (図27)で電流源 $IS_4 \sim IS_6$ が選択される。

【0101】このように、実施の形態8の $D/A$ コンバータにおけるスタート位置決定回路3Bは、電流源の個数( $M+K$ )と素の関係にある個数ずつスタート位置をずらすことにより、余剰電流源数を加えて( $M+K$ )個のスタート位置の自由度ができ、デジタル信号 $DIG$ の値に対応して選択される電流源の組合せを最大限に増

加させることができ、その結果、D/Aコンバータの出力に個々の電流源の特性差がより一層あらわれにくくなり、直線性の劣化を最低限に抑えることができる。

【0102】さらに、実施の形態8のD/Aコンバータは、1回のデジタル信号DIGのサンプリング期間中に複数種類の組み合わせで電流源を有効にするため、1つのデジタル信号DIGに対するD/A変換においても電流源を均等に有効して電流源の特性差があらわれにくくすることにより正確なアナログ信号を出力することができる。

【0103】＜スタート位置決定回路の簡略化＞実施の形態8において、図28に示すように、 $M=7$  ( $N=3$ )、 $K=1$ で構成、 $A=3$  ( $8(M+K)$ と3とは互いに素)を選択すると、図2及び図3で示したスタート位置決定回路3の構成から、ゼロ調整回路18を省略した比較的簡単な回路構成でスタート位置決定回路3Cを構成することができる。同様なことが実施の形態3及び4のスタート位置決定回路3Aあるいは実施の形態7のスタート位置決定回路3Cにも当てはまる。

【0104】すなわち、ラッチ部8のラッチデータ“000”～“111”に電流源IS1～IS8をそれぞれ対応させることにより、1回目のスタート位置は電流源IS1で、2回目のスタート位置が電流源IS4（スイッチS4）となり、以降、IS7、IS2、IS5、IS8、IS3、IS6、IS1…とずらせながら片寄りが全くないように電流源ISの選択スタート位置を選択することができる。

【0105】このように、 $(M+K)=2N$ を満足する構成を選択することにより、スタート位置決定回路3の構成をさらに簡略化することができる。

【0106】＜容量アレイへの応用＞実施の形態1～実施の形態8では単位電気量生成部として電流源を用いた電流源アレイ方式のD/Aコンバータを例に挙げたが、図29に示すように、単位電気量生成部としてキャパシタを用いた容量アレイ方式のD/Aコンバータで構成してもよい。

【0107】図29に示すように、一端が出力部であるノードN2に共通に接続された単位容量C1～CMそれぞれの他端がスイッチSW1～SWMの一端に接続される。なお、Mは必要容量数であり、 $M=2N-1$ となる。また、ノードN2に接続された信号線より得られる電圧が出力電圧Voとなる。

【0108】そして、スイッチSW1～SWMの他端が共通にオフ状態で定電圧Vb、オン状態で定電圧Vrが印加される。なお、NビットD/Aコンバータには、また、各容量C1～CMの容量はほぼ同一のCEになるように設定される。

【0109】なお、スタート位置決定回路3を含むスイッチ制御回路1の構成は図1～図3で示した実施の形態1と同様である。

【0110】このような構成において、まず、スイッチSW1～SWMをすべてオフ状態にして電圧Vbを印加した後、ステップSW1～SWMのうちデジタル信号DIGに基づきx個のスイッチをオン状態にして、x個のスイッチに接続される容量Cに他端に電圧Vrを印加する。

【0111】すると、電荷保存則により、下式が成立する。

$(M-x)C(V_o-V_b)+xC(V_o-V_r)=0$   
これを解くと、以下ようになる。

【0112】 $V_o=(x/M)(V_r-V_b)+V_b$   
その結果、オンしたスイッチ数x、すなわち選択した容量の数に応じた出力電圧Vo（アナログ信号）を得ることができる。

【0113】このように、実施の形態1～実施の形態8の電流源アレイを図29に示すように容量アレイに置き換えても、実施の形態1～8と等価なD/Aコンバータを構成することができる。

【0114】＜オーバーサンプリングΔΣ方式への応用＞実施の形態1～実施の形態8で示した構成のD/Aコンバータを図30で示した構成のオーバーサンプリングΔΣADCの多ビットの内部DAC17あるいは図31で示したオーバーサンプリングΔΣDACとして利用することにより、量子化ノイズも小さく、系の安定性が良好なものが得られ、さらにデジタル入力に対するアナログ出力の直線性が保証されるため、動作性能の高いオーバーサンプリングΔΣADCあるいはオーバーサンプリングΔΣDACを得ることができる。

【0115】

【発明の効果】以上説明したように、この発明における請求項1記載のD/Aコンバータは、スタート位置決定部によってクロック信号に同期して複数の単位電気量生成部の選択スタート位置を順次変更し、選択部によって複数の単位電気量生成部のうちデジタル信号で決定される個数の単位電気量生成部を、選択スタート位置から所定の順序にそって選択している。

【0116】したがって、クロック信号のサイクル毎に選択スタート位置が変更されるため、デジタル信号によって同一個数が決定された場合でも、複数の単位電気量生成部から選択される組合せは異なるものとなる。

【0117】その結果、デジタル信号値に関係なく、複数の単位電気量生成部を片寄りに選択することができ、出力されるアナログ信号に単位電気量生成部個々の電気特性の差があらわれにくくなり、複数ビットのデジタル入力に対するアナログ出力の直線性を向上させることができる。

【0118】また、選択部はデジタル信号で決定される個数の単位電気量生成部を、選択スタート位置から所定の順序にそって選択するため、デジタル信号以外に必要とする情報は一の選択スタート位置だけで済む。一

方、特開平 4-152715 号公報に開示された D/A コンバータは、入力コードに応じた個数の容量をすべてランダムに選択しているため、デジタル信号以外に選択する個数分の選択容量情報を必要とする。必要とする情報量の差は入力するデジタル信号のビット数に比例して大きくなるため、その回路構成の差は顕著な差となって現れる。

【0119】請求項 2 記載の D/A コンバータのスタート位置決定部は、クロック信号に同期して所定の順序にそって変位個数  $A$  ( $< L$  (単位電気量生成部の個数)) 個ずつずらせながら選択スタート位置を決定する。

【0120】したがって、変位個数  $A$  を加算しながら最大  $L$  通りの出力値を採るように構成する加算処理部からなる比較的簡単な回路構成でスタート位置決定部を構成することができる。

【0121】このように、選択部がデジタル信号以外に必要な情報である選択スタート位置を決定するスタート位置決定部を簡単な回路構成で実現できることから、本願発明が特開平 4-152715 号公報に開示された D/A コンバータに対して回路構成の簡略化において優位性を有していることがわかる。

【0122】請求項 3 記載の D/A コンバータにおいて、スタート位置決定部は、クロック信号の 1 サイクル期間内の第 1 ～ 第  $P$  ( $\geq 2$ ) の期間それぞれで順次変更して第 1 ～ 第  $P$  の選択スタート位置を決定し、選択部は、デジタル信号で決定される個数の単位電気量生成部を、第 1 ～ 第  $P$  の期間それぞれにおいて第 1 ～ 第  $P$  の選択スタート位置から所定の順序にそって選択し、アナログ信号生成部は、第 1 ～ 第  $P$  の期間それぞれにおいて出力部より得られる電気量を平均した量に基づきアナログ信号を出力する。

【0123】したがって、一の値のデジタル信号の D/A 変換に際して  $P$  種類の組み合わせで単位電気量生成部を選択するため、1 つのデジタル信号のみに対する D/A 変換においても単位電気量生成部を略均等に選択して単位電気量生成部個々の特性差をあらわれにくくすることにより正確なアナログ信号を出力することができる。

【0124】請求項 4 記載の D/A コンバータのスタート位置決定部は、クロック信号に同期して所定の順序にそって  $A$  ( $< L$ ) 個ずつずらせながら第 1 ～ 第  $P$  の選択スタート位置を決定する。

【0125】したがって、変位個数  $A$  を加算しながら最大  $L$  通りの出力値を採るように構成する加算処理部からなる比較的簡単な回路構成でスタート位置決定部を構成することができる。

【0126】請求項 5 記載の D/A コンバータの単位電気量生成部の個数  $L$  は  $N$  ビットの D/A 変換の必要個数 ( $2N-1$ ) より大きいため、その余剰個数に伴い選択スタート位置の自由度が増すため、アナログ信号に単位

電気量生成部個々の特性差がより一層あらわれにくくなり、デジタル入力に対するアナログ出力の直線性を向上させることができる。

【0127】請求項 6 記載の D/A コンバータの単位電気量生成部の個数  $L$  と選択位置を変更する変位個数  $A$  とは互いに素の関係にあるため、スタート位置決定部は  $L$  通りの選択スタート位置を決定することができ、選択スタート位置の自由度を最大限に活用することにより、アナログ信号に単位電気量生成部個々の特性差がより一層あらわれにくくなり、デジタル入力に対するアナログ出力の直線性を向上させることができる。

【0128】請求項 7 記載の D/A コンバータの単位電気量生成部の個数  $L$  は  $2N$  であるため、変位個数  $A$  を加算しながら  $N$  ビットの加算結果 ( $L = 2N$  通り) を出力する単純な加算処理部からなる簡単な回路構成でスタート位置決定部を構成することができる。

【0129】請求項 8 記載の D/A コンバータにおいて、複数の単位電気量生成部は選択状態時に所定の定電流を出力部に供給する複数の電流源を含むため、電流源アレイ方式でデジタル入力に対するアナログ出力の直線性を向上させることができる。

【0130】請求項 9 記載の D/A コンバータにおいて、複数の単位電気量生成部は選択状態時に第 1 の電圧、非選択状態時に第 2 の電圧を一方電極に受ける複数のキャパシタを含むため、キャパシタアレイ方式でデジタル入力に対するアナログ出力の直線性を向上させることができる。

【0131】この発明における請求項 10 記載の  $\Delta\Sigma$  変換方式の A/D コンバータは、 $\Delta\Sigma$  変調部内の複数ビット用の内部 D/A コンバータを請求項 1 記載の D/A コンバータで構成している。

【0132】したがって、内部 D/A コンバータは、量子化ノイズも小さく安定性が良好な複数ビット用であり、かつデジタル入力に対するアナログ出力の直線性が保証されるため、動作性能の高い A/D 変換処理を行うことができる。

【0133】この発明における請求項 11 記載の  $\Delta\Sigma$  変換方式の D/A コンバータは、 $\Delta\Sigma$  変調済みデジタル信号を D/A 変換する複数ビット用の内部 D/A コンバータを請求項 1 記載の D/A コンバータで構成している。

【0134】したがって、内部 D/A コンバータは、量子化ノイズも小さく安定性が良好な複数ビット用であり、かつデジタル入力に対するアナログ出力の直線性が保証されるため、動作性能の高い D/A 変換処理を行うことができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 である D/A コンバータの構成を示す説明図である。

【図 2】 図 1 のスイッチ制御回路の内部構成を示すブ

ロック図である。

【図 3】 図 2 の第 1 及び第 2 の加算部の内部構成を示す回路図である。

【図 4】 実施の形態 1 の D/A 変換動作を示す説明図である。

【図 5】 実施の形態 1 の D/A 変換動作を示す説明図である。

【図 6】 実施の形態 2 の D/A 変換動作を示す説明図である。

【図 7】 実施の形態 2 の D/A 変換動作を示す説明図である。

【図 8】 この発明の実施の形態 3 である D/A コンバータの構成を示す説明図である。

【図 9】 実施の形態 3 の D/A 変換動作を示す説明図である。

【図 10】 実施の形態 3 の D/A 変換動作を示す説明図である。

【図 11】 実施の形態 4 の D/A 変換動作を示す説明図である。

【図 12】 実施の形態 4 の D/A 変換動作を示す説明図である。

【図 13】 この発明の実施の形態 5 である D/A コンバータの構成を示す説明図である。

【図 14】 図 13 の内部クロック発生回路の動作を示すタイミング図である。

【図 15】 実施の形態 5 の D/A 変換動作を示す説明図である。

【図 16】 実施の形態 5 の D/A 変換動作を示す説明図である。

【図 17】 実施の形態 5 の D/A 変換動作を示す説明図である。

【図 18】 実施の形態 6 の D/A 変換動作を示す説明図である。

【図 19】 実施の形態 6 の D/A 変換動作を示す説明図である。

【図 20】 実施の形態 6 の D/A 変換動作を示す説明図である。

図である。

【図 21】 この発明の実施の形態 7 である D/A コンバータの構成を示す説明図である。

【図 22】 実施の形態 7 の D/A 変換動作を示す説明図である。

【図 23】 実施の形態 7 の D/A 変換動作を示す説明図である。

【図 24】 実施の形態 7 の D/A 変換動作を示す説明図である。

【図 25】 実施の形態 8 の D/A 変換動作を示す説明図である。

【図 26】 実施の形態 8 の D/A 変換動作を示す説明図である。

【図 27】 実施の形態 8 の D/A 変換動作を示す説明図である。

【図 28】 スタート位置決定回路の簡略化が可能な電流源の構成例を示す説明図である。

【図 29】 実施の形態 1～8 の変形例の構成を示す説明図である。

【図 30】 オーバーサンプリング  $\Delta\Sigma$  変換方式を用いた A/D コンバータの構成を示すブロック図である。

【図 31】 オーバーサンプリング  $\Delta\Sigma$  変換方式の D/A コンバータの構成を示すブロック図である。

【図 32】 従来の D/A コンバータの内部構成を示す説明図である。

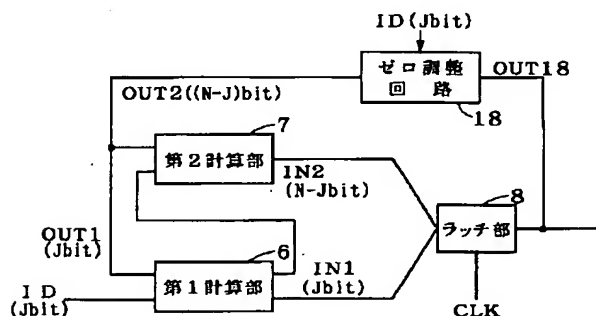
【図 33】 従来の D/A 変換動作を示す説明図である。

【図 34】 従来の D/A 変換動作を示す説明図である。

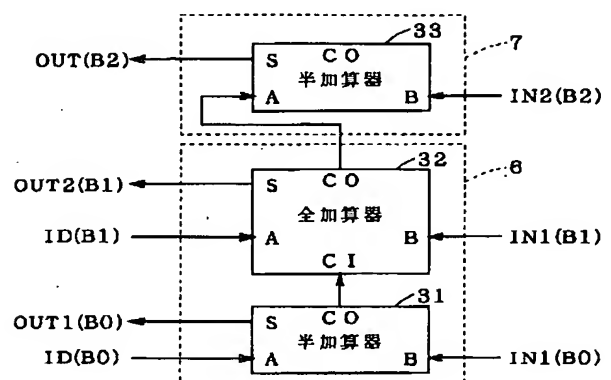
【符号の説明】

1, 1A, 4, 4A スイッチ制御回路, 2 I-V 変換器, 3, 3A～3C スタート位置決定回路, 5 電圧平均化回路, 6 第 1 加算部, 7 第 2 加算部, 8 ラッチ部, 18 ゼロ調整回路,  $IS1 \sim IS(M+K)$  電流源,  $S1 \sim SM$  スイッチ。

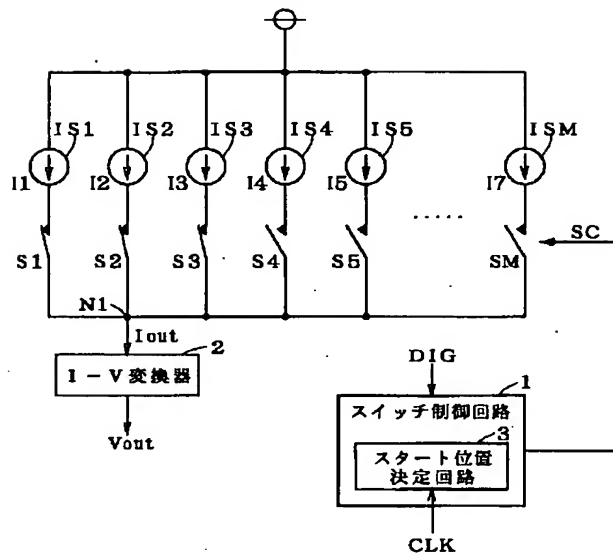
【図 2】



【図 3】

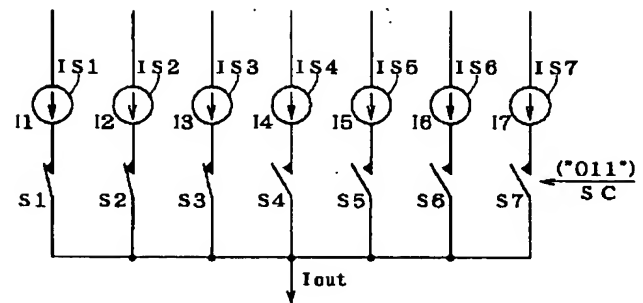


【図1】

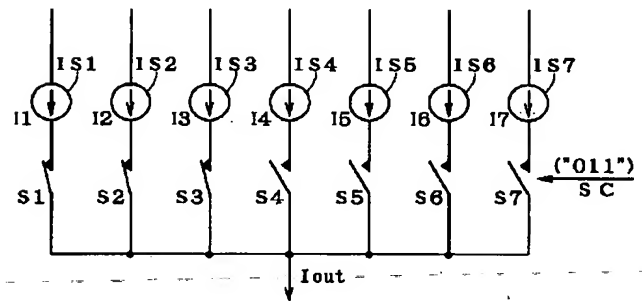


IS1 ~ ISM : 電流源  
S1 ~ SM : スイッチ

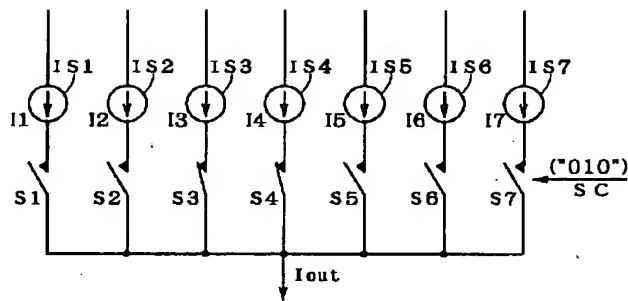
【図4】



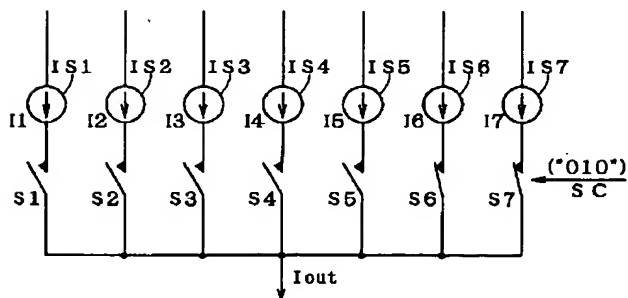
【図6】



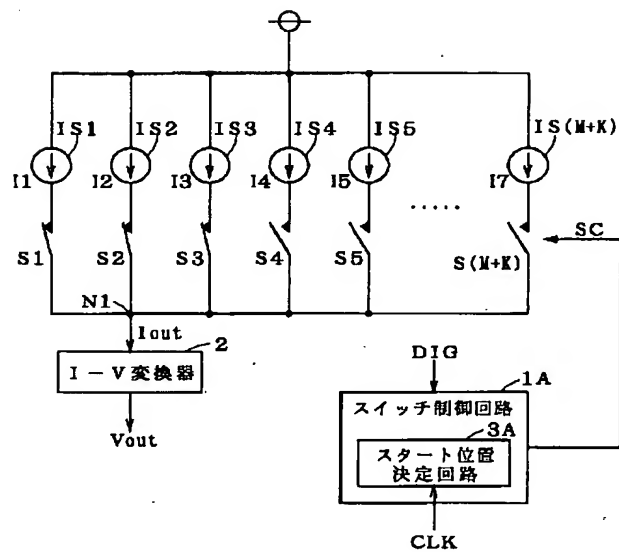
【図5】



【図7】

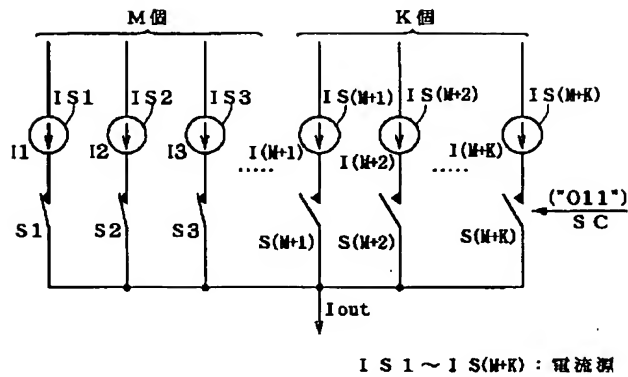


【図8】

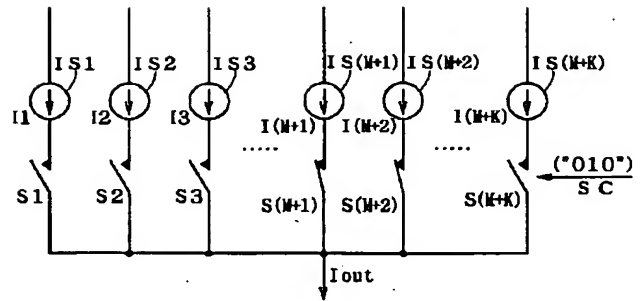


IS1 ~ IS(M+K) : 電流源  
S1 ~ S(M+K) : スイッチ

【図 9】

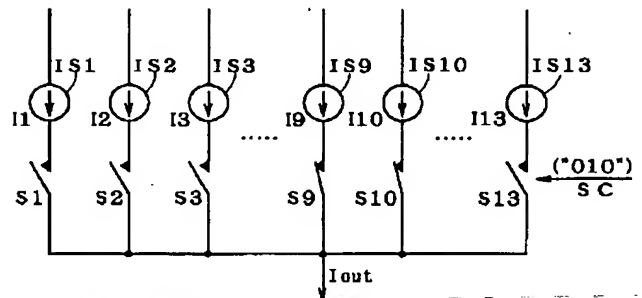
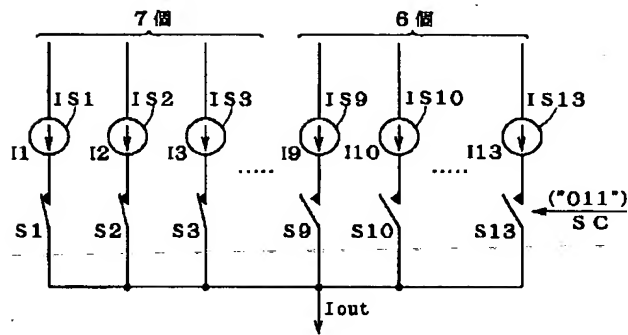


【図 10】

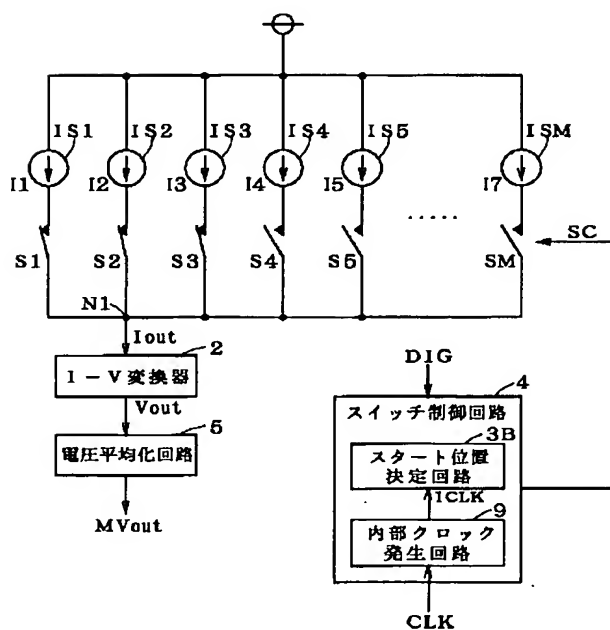


【図 12】

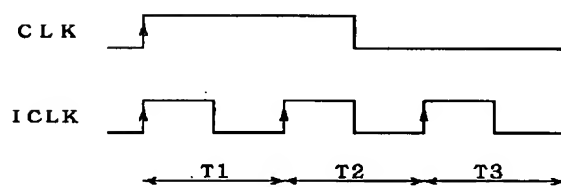
【図 11】



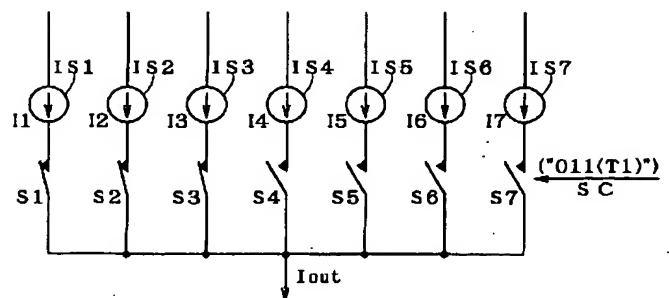
【図 13】



【図 14】

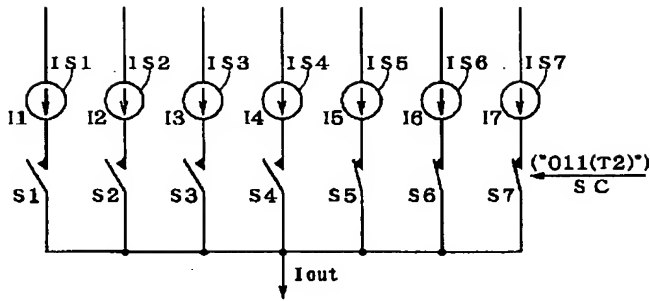


【図 15】

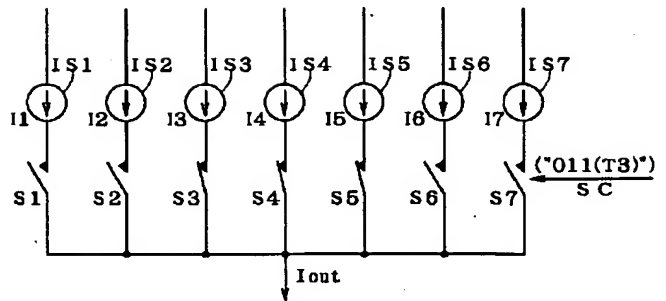




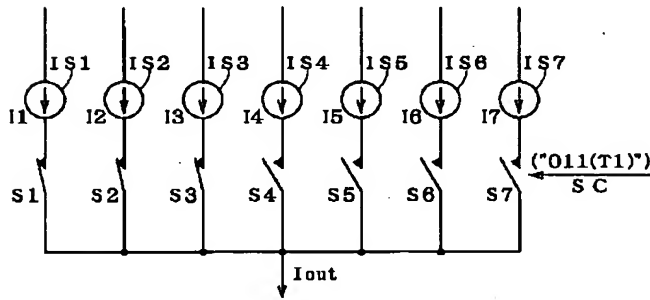
【図 16】



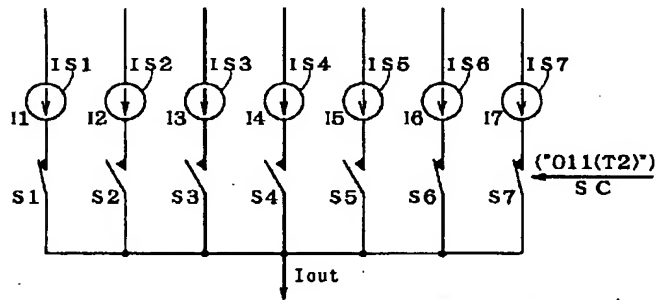
【図 17】



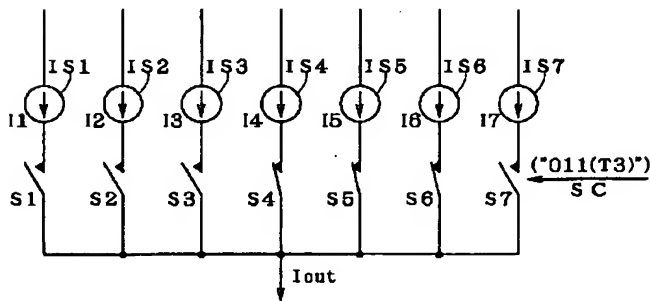
【図 18】



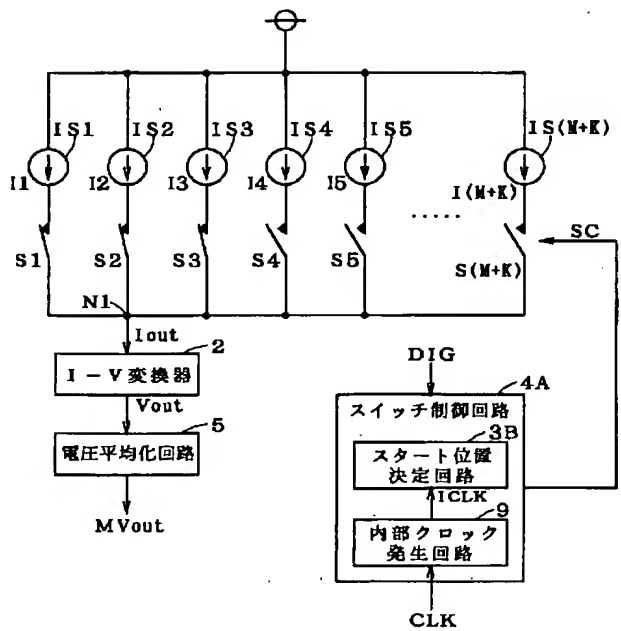
【図 19】



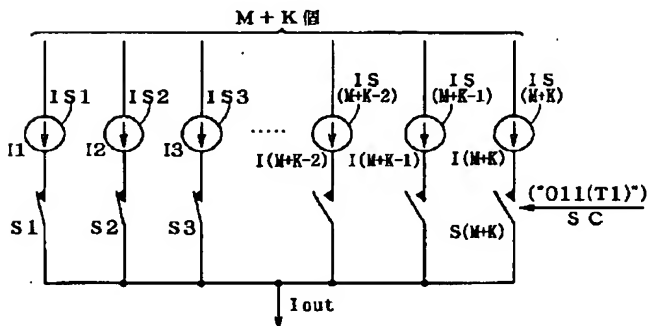
【図 20】



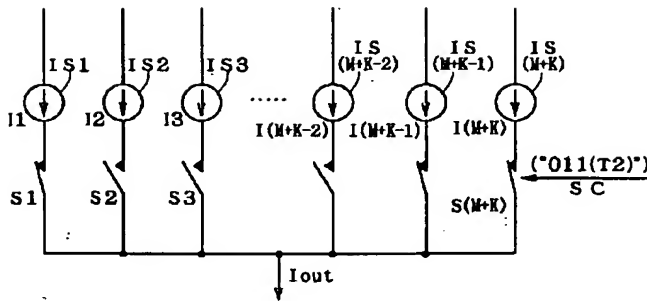
【図 21】



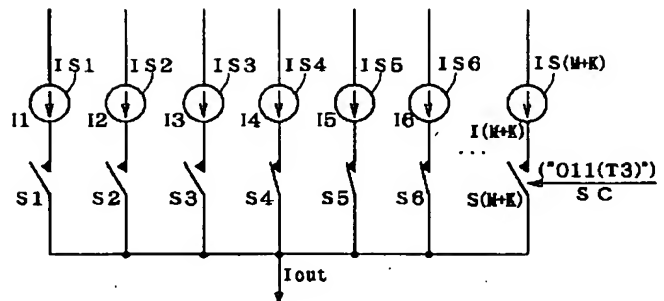
【図 22】



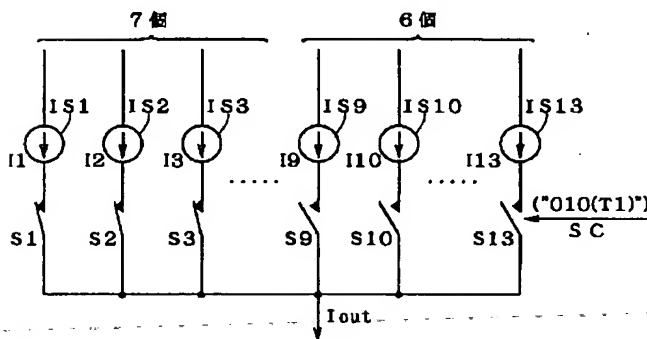
【図 23】



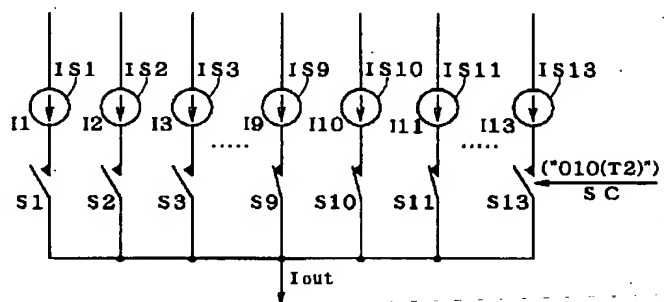
【図 24】



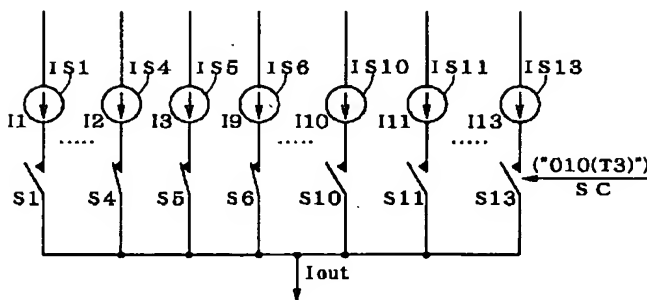
【図 25】



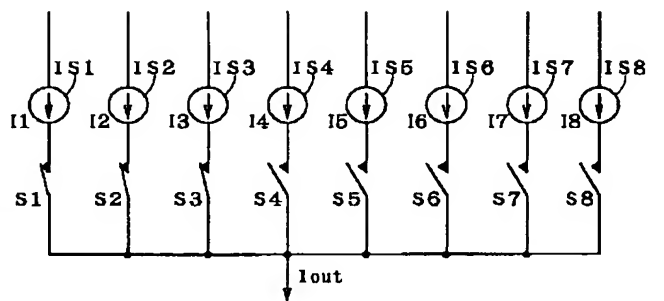
【図 26】



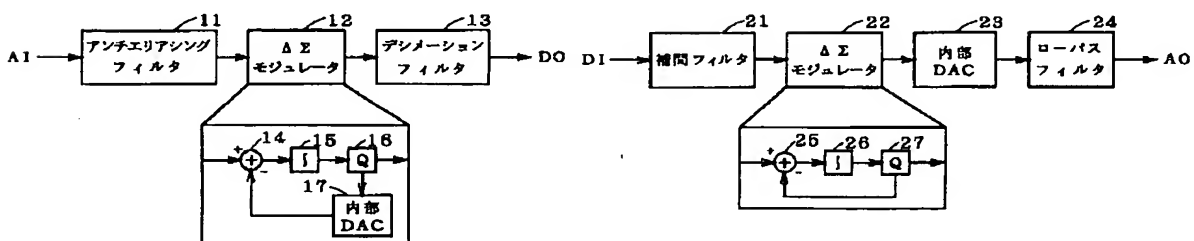
【図 27】



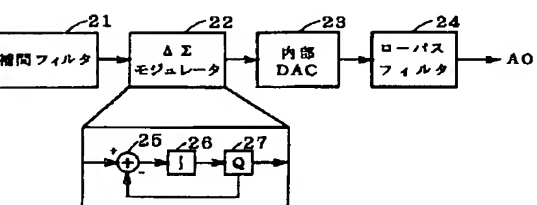
【図 28】



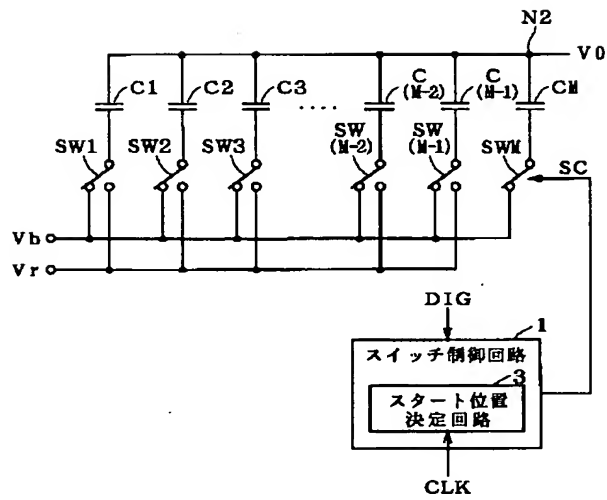
【図 30】



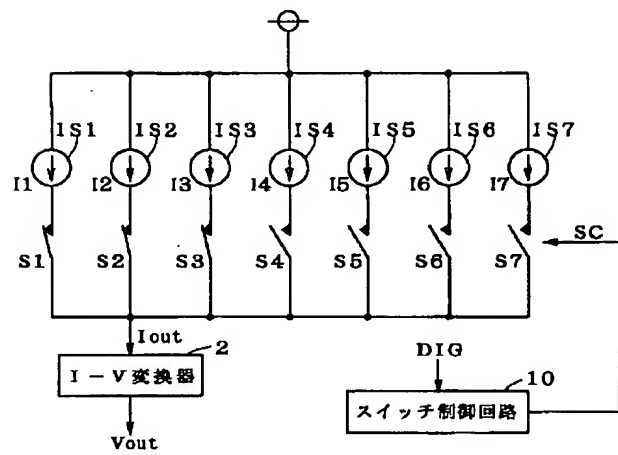
【図 31】



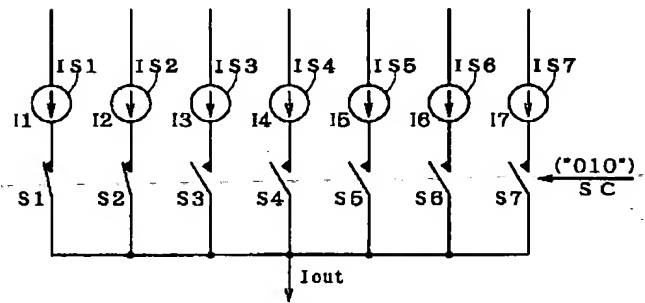
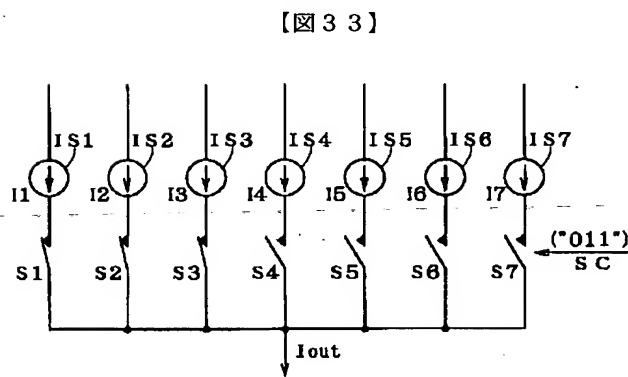
【図29】



【図32】



【図34】



フロントページの続き

(72)発明者 三木 隆博  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内